

(12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関
国際事務局



(43)国際公開日
2005年2月17日 (17.02.2005)

PCT

(10)国際公開番号
WO 2005/015534 A1

(51)国際特許分類7: G09G 3/36, 3/20

(21)国際出願番号: PCT/JP2004/011029

(22)国際出願日: 2004年7月27日 (27.07.2004)

(25)国際出願の言語: 日本語

(26)国際公開の言語: 日本語

(30)優先権データ:
特願2003-280583 2003年7月28日 (28.07.2003) JP
特願2003-347803 2003年10月7日 (07.10.2003) JP

(71)出願人(米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒1410001 東京都品川区北品川6丁目7番35号 Tokyo (JP).

(72)発明者; および

(75)発明者/出願人(米国についてのみ): 村瀬 正樹 (MURASE, Masaki) [JP/JP]; 〒1410001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP). 仲島 義晴 (NAKAJIMA, Yoshiharu) [JP/JP]; 〒1410001 東京都品川区北品川6丁目7番35号

ソニー株式会社内 Tokyo (JP). 木田 芳利 (KIDA, Yoshitoshi) [JP/JP]; 〒1410001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).

(74)代理人: 多田繁範 (TADA, Shigenori); 〒1700013 東京都豊島区東池袋2丁目45番2号 ステラビル501多田特許事務所 Tokyo (JP).

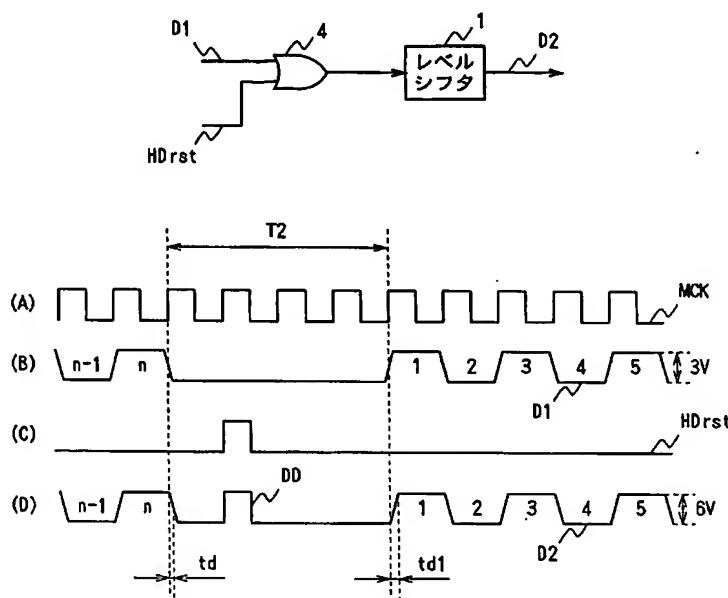
(81)指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84)指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

/締葉有)

(54)Title: DELAY TIME CORRECTION CIRCUIT, VIDEO DATA PROCESSING CIRCUIT, AND FLAT DISPLAY APPARATUS

(54)発明の名称: 遅延時間補正回路、ビデオデータ処理回路及びフラットディスプレイ装置



(57)Abstract: The present invention is applicable to a liquid crystal display apparatus in which a driver circuit is integrally formed on, for example, an insulating substrate. At a predetermined timing during a quiescent period (T2) when the liquid crystal display apparatus is maintained at a certain logic level, a dummy data (DD) is inserted into an input data (D1) to enforcedly change the logic level of the input data (D1), whereby any variation of the delay time in the logic circuit using TFT and the like can be effectively avoided.

WO 2005/015534 A1

1 LEVEL SHIFTER

/締葉有)



CH, CY, CZ, DE, DK, ES, FI, FR, GB, GR, HU, IE,
IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BE,
BJ, CI, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:
— 國際調査報告書

(57) 要約:

本発明は、例えば絶縁基板上に駆動回路を一体に形成した液晶表示装置に適用してなるものであって、一定の論理レベルに保持される休止期間（T₂）の間の所定タイミングに、入力データ（D₁）にダミーデータ（D_D）を介挿して、入力データ（D₁）の論理レベルを強制的に切り換えることにより、TFT等による論理回路において遅延時間の変化を有効に回避することができるようとしたものである。